

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH

TRẦN VĨNH THANH

**NGHIÊN CỨU BỘ NGHỊCH LƯU TĂNG ÁP BA BẬC HÌNH T TRONG
TRẠNG THÁI BÌNH THƯỜNG VÀ
SỰ CỐ HỖ MẠCH KHÓA CÔNG SUẤT**

Chuyên ngành: kỹ thuật Điện tử

Mã số chuyên ngành: 92520203

TÓM TẮT LUẬN ÁN TIẾN SĨ

Tp. Hồ Chí Minh, tháng 10/2022

Công trình được hoàn thành tại **Trường Đại học Sư phạm Kỹ thuật Tp.HCM**

Người hướng dẫn khoa học 1: TS. NGUYỄN MINH KHAI

Người hướng dẫn khoa học 2:

Phản biện 1:

Phản biện 2:

Phản biện 3:

Luận án sẽ được bảo vệ trước Hội đồng đánh giá luận án Cấp Trường tại:

Trường Đại học Sư phạm Kỹ thuật Tp.HCM

vào ngày tháng năm 202

DANH MỤC CÔNG TRÌNH ĐÃ CÔNG BỐ

Thứ Tự	Tên bài báo	Tên tạp chí, kỹ yếu khoa học	Năm công bố
01	Fault Tolerant Control Methods for Three-Level Boost T-Type Inverter (Đồng tác giả)	IEEE Transactions on Industrial Electronics	2022
02	Space Vector Modulation Method-Based Common Mode Voltage Reduction for Active Impedance-Source T-Type Inverter (Tác giả chính)	IEEE Access	2022
03	An DPWM for Active DC-Link Type Quasi-Z-Source Inverter to Reduce Component Voltage Rating (Tác giả chính)	Energies	2022
04	An SVM Scheme for Three-Level Quasi-Switched Boost T-Type Inverter With Enhanced Voltage Gain and Capacitor Voltage Balance (Tác giả chính)	IEEE Transactions on Power Electronics	2021
05	Enhanced Boost Factor for Three-Level Quasi-Switched Boost T-Type Inverter (Đồng tác giả)	Energies	2021

MỤC LỤC

Mục lục.....	i
Chương 1: Tổng quan	1
1.1. Tổng quan giải thuật tăng cường độ lợi điện áp và cân bằng điện áp trung tính	1
1.2. Tổng quan giải thuật giảm điện áp common-mode cho cấu hình nghịch lưu một chạng	3
1.3. Tổng quan giải thuật xử lý sự cố hở mạch.....	3
Chương 2: Giải thuật SVM đề xuất cho cấu hình 3L-qSBT ² I.....	4
2.1. Cấu hình 3L-qSBT ² I	4
2.2. Giải thuật điều chế vector không gian đề xuất	5
2.2.1. Tính toán thời gian tác dụng	5
2.2.2. Lựa chọn chuỗi xung để cân bằng điện áp trung tính	6
2.2.3. Phân tích trạng thái xác lập	7
2.3. So sánh giải thuật đề xuất và các nghiên cứu đã công bố	7
2.4. Thực nghiệm với giải thuật SVM đề xuất.....	8
Chương 3: Giải thuật đề xuất cho cấu hình 3L-qSBT ² I nhằm giảm điện áp COMMON-MODE	11
3.1. Giải thuật giảm CMV đề xuất cho cấu hình 3L-qSBT ² I.....	11
3.1.1. Tính toán thời gian tác dụng và lựa chọn thứ tự chuyển mạch.....	12
3.1.2. Cân bằng điện áp trung tính	12
3.2. So sánh giữa giải thuật đề xuất và các giải thuật trước đó	13
3.3. Kết quả thực nghiệm	13
Chương 4: Giải thuật đề xuất cho cấu hình TLB-T ² I nhằm khắc phục sự cố tại các khóa công suất	14
4.1. Cấu hình TLB-T ² I trong trạng thái bình thường	14
4.2. Phương pháp xử lý lỗi cho cấu hình TLB-T ² I	15
4.2.1. Phương pháp xử lý lỗi hở mạch cho khóa S _P	15
4.2.2. Phương pháp xử lý lỗi hở mạch cho khóa S _{1A}	16

- 4.2.3. Phương pháp xử lý lỗi hở mạch cho khóa S_{2A} và S_{3A} 17
- 4.3. So sánh giữa giải thuật đề xuất và giải thuật truyền thống18
- 4.4. Thực nghiệm với giải thuật đề xuất19
 - 4.4.1. Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa S_P 20
 - 4.4.2. Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa S_{1A} 21
 - 4.4.3. Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa S_{2A} và S_{3A} ..22
 - 4.4.4. Hiệu suất của mạch nghịch lưu23
- Chương 5: Kết luận và hướng phát triển23
 - 5.1. Kết luận23
 - 5.2. Hạn chế và hướng phát triển của luận án24

Chương 1

TỔNG QUAN

1.1 Tổng quan giải thuật tăng cường độ lợi điện áp và cân bằng điện áp trung tính.

Trong các mạch nghịch lưu một chạng, hai vấn đề chính cần được đặc biệt quan tâm là: độ lợi điện áp và sự cân bằng điện áp trên các tụ điện, bởi vì chúng là nguyên nhân trực tiếp ảnh hưởng đến điện áp đặt trên các linh kiện, hiệu suất chuyển đổi và chất lượng điện áp ngõ ra. Nghiên cứu [14] đã tăng cường hệ số tăng áp lên gấp hai lần các cấu hình nghịch lưu một chạng truyền thống [1], [3], [4], [7]-[13], [15]-[17], bằng cách sử dụng UST và LST. So sánh với nghiên cứu [14], một giá trị tương tự cho hệ số tăng áp cũng đã đạt được trong nghiên cứu [20] – [22]. Ngoài ra, công bố [20] – [22] còn thể hiện sự vượt trội trong việc sử dụng ít các linh kiện thụ động hơn so với [14]. Trạng thái FST đã được sử dụng trong [20] – [22] cho việc tăng cường hệ số tăng áp. Trong các cấu hình trên, cấu hình [22] sử dụng ít linh kiện nhất, tuy nhiên, độ gọn sóng dòng điện qua cuộn cảm cao là một bất lợi của cấu hình này.

Đối với vấn đề cân bằng điện áp trên các tụ điện, có hai phương pháp chính đã được áp dụng: 1) sử dụng phương pháp điều chế độ rộng xung thích hợp hoặc sử dụng các bộ điều khiển vòng kín, 2) sử dụng cấu hình có khả năng tự cân bằng điện áp trên các tụ điện. Có khá nhiều công bố sử dụng phương án 1 cho việc cân bằng điện áp trung tính [13] – [15], [20], [26] – [29]. Gần đây, các nghiên cứu [13] – [15], [20] đã trình bày các phương pháp cân bằng điện áp trên các tụ điện cho cấu hình nghịch lưu một chạng. Công bố [20] sử dụng bộ điều khiển PID nhằm thay đổi thời gian tác dụng của các khóa tích cực phía mạch tăng áp để cân bằng điện áp trung tính. Sai số giữa các giá trị điện áp của tụ điện được xem xét như là ngõ vào của PID. Tuy nhiên, khi các hệ số này bị thay đổi, hệ số tăng áp cũng sẽ bị ảnh hưởng. Trong nghiên cứu [13], thời gian tác dụng của các vector nhỏ dạng P và dạng N sẽ được thay đổi tùy thuộc vào giá trị thực của điện áp trên các tụ điện nhằm cân bằng điện áp trung tính. Tuy

nhiên, các vector nhỏ cũng được sử dụng để chèn các trạng thái UST và LST. Do đó, việc thay đổi thời gian của các vector nhỏ dẫn đến việc hệ số tăng áp bị ảnh hưởng. Như được đề cập trong [13], tốc độ phục hồi trạng thái cân bằng càng nhanh thì hệ số tăng áp càng bị ảnh hưởng. Bất lợi này cũng là nhược điểm trong phương pháp được đề cập trong [14]. Xuất phát từ chuỗi xung được đề xuất trong [16], nghiên cứu [15] đề xuất việc thêm một vector nhỏ dạng P hoặc N nằm ở lân cận vùng hoạt động nhằm giải quyết vấn đề cân bằng điện áp điểm giữa. Nhìn chung, hệ số tăng áp trong nghiên cứu này không bị ảnh hưởng bởi việc sử dụng trạng thái FST thay vì UST và LST. Tuy nhiên, thời gian tác dụng của vector được thêm vào được tính toán khá phức tạp. Ngoài ra, thời gian tác dụng của các vector này khá nhỏ dẫn đến tốc độ cân bằng khá chậm. Nghiên cứu [22] trình bày phương pháp thứ 2 cho việc cân bằng điện áp trên các tụ điện. Bằng việc nối song song hai tụ điện trong trạng thái ST, điện áp giữa chúng có khả năng tự cân bằng mà không cần sử dụng cảm biến. Tuy nhiên, vẫn còn tồn tại sự chênh lệch nhất định giữa các giá trị điện áp trên tụ điện gây ra bởi các thành phần ký sinh trên các linh kiện. Thông thường điện áp chênh lệch chiếm khoảng 4% giá trị trung bình của các tụ điện.

Nhìn chung, các giải thuật và cấu hình đã nêu trên có một số bất lợi chính như sau: 1) độ lợi điện áp, 2) phương pháp cân bằng tụ còn khá nhiều hạn chế như tính toán phức tạp, ảnh hưởng đến độ lợi của hệ thống. Do đó, luận án trình bày một phương pháp điều chế vector không gian (Space Vector Modulation – SVM) nhằm khắc phục các nhược điểm này [30]. Cấu hình nghịch lưu 3 pha 3 bậc tựa khóa chuyển mạch hình T (3L-qSBT²I) được chọn làm đối tượng để áp dụng giải thuật được đề xuất. Trong giải thuật này, các vector nhỏ được dùng để cân bằng điện áp trung tính và chèn các trạng thái UST và LST nhằm tăng cường độ lợi cho mạch nghịch lưu. Các kết quả dự kiến có thể nêu ra như: 1) cải thiện độ lợi của mạch nghịch lưu, 2) điện áp trên các linh kiện nhỏ, 3) giải thuật cân bằng đơn giản và hiệu quả, không ảnh hưởng đến hoạt động tăng giảm áp của mạch nghịch lưu.

1.2 Tổng quan giải thuật giảm điện áp common-mode cho cấu hình nghịch lưu một chạng.

Điện áp common-mode (common-mode voltage – CMV) là một trong những vấn đề quan trọng của những bộ nghịch lưu nguồn áp. CMV là nguyên nhân chính dẫn đến dòng rò, điện áp trục, dòng qua ổ bi của động cơ, và nhiễu điện từ [31], [32]. Ngoài ra, dòng rò cao còn dẫn đến sự mất ổn định của hệ thống. Mặc dù nghiên cứu trong [30] thể hiện sự vượt trội trong việc tạo ra độ lợi điện áp cao và cân bằng được điện áp trung tính. Tuy nhiên vấn đề CMV không được xem xét trong nghiên cứu này.

Nhằm kế thừa ưu điểm về độ lợi điện áp cao đã giới thiệu ở nghiên cứu trước đó [30] và cải thiện biên độ CMV, luận án trình bày phương pháp điều khiển SVM nhằm giảm CMV. Tất cả các vector tạo ra giá trị CMV cao sẽ được loại bỏ khỏi giản đồ vector không gian. Các vector với biên độ CMV thấp được sử dụng để tạo ra vector tham chiếu. Trong phương pháp này, các vector nhỏ vẫn được sử dụng để chèn các trạng thái UST và LST nhằm tăng cường điện áp phía nghịch lưu.

1.3 Tổng quan giải thuật xử lý sự cố hở mạch

Trong thời gian gần đây, các mạch nghịch lưu dựa trên các linh kiện bán dẫn hoạt động ở tần số cao thu hút nhiều nhà nghiên cứu trên thế giới vì các ưu điểm của chúng có thể kể đến như: mật độ công suất cao, chất lượng điện áp ngõ ra tốt, hiệu suất cao, v.v... Tuy nhiên, những linh kiện bán dẫn này có thể đối mặt với các sự cố làm giảm độ tin cậy của hệ thống. Trong một vài ứng dụng đòi hỏi tính liên tục trong việc cung cấp năng lượng như trong các hệ thống giao thông công cộng, hệ thống y tế thì các sự cố này có thể dẫn những thiệt hại nghiêm trọng. Do đó, các bộ nghịch lưu cần được thiết kế để hoạt động trong trạng thái khóa bán dẫn gặp sự cố nhằm nâng cao tính ổn định của hệ thống.

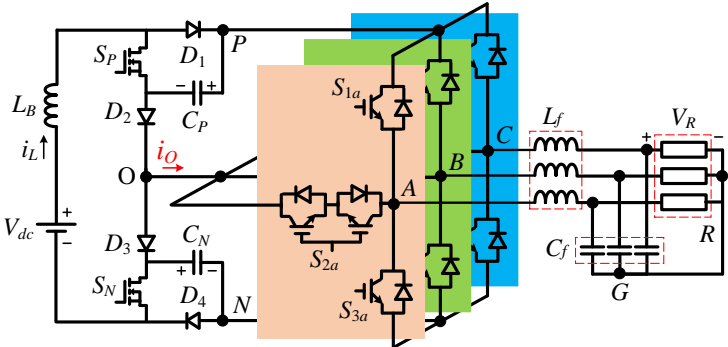
Từ các phân tích trên, luận án trình bày phương pháp PWM giải quyết sự cố OCF/SCF của mạch TLB-T²I nhằm khắc phục các nhược điểm còn tồn tại

của các phương pháp truyền thống. Ưu điểm của phương pháp được đề xuất có thể được liệt kê như sau : 1) giảm điện áp đặt trên các linh kiện, 2) khắc phục được một hoặc nhiều OCF của các khóa bán dẫn, 3) khắc phục được SCF của các linh kiện bán dẫn phía mạng nguồn kháng, 4) khắc phục được OCF tại tụ điện phía mạng nguồn kháng.

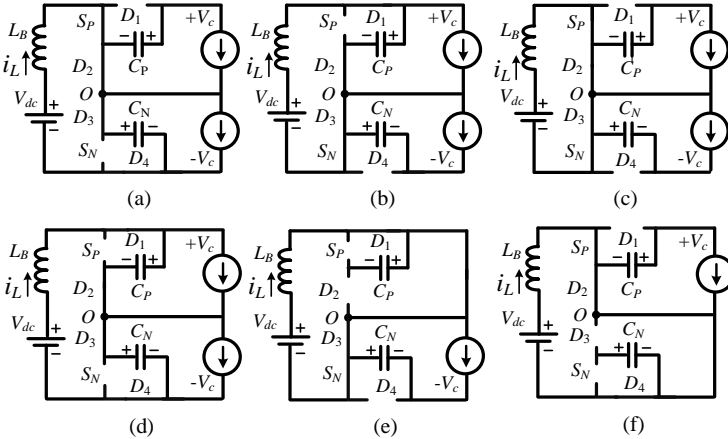
Chương 2:

GIẢI THUẬT SVM ĐỀ XUẤT CHO CẤU HÌNH 3L-qSBT²I

2.1. Cấu hình 3L-qSBT²I



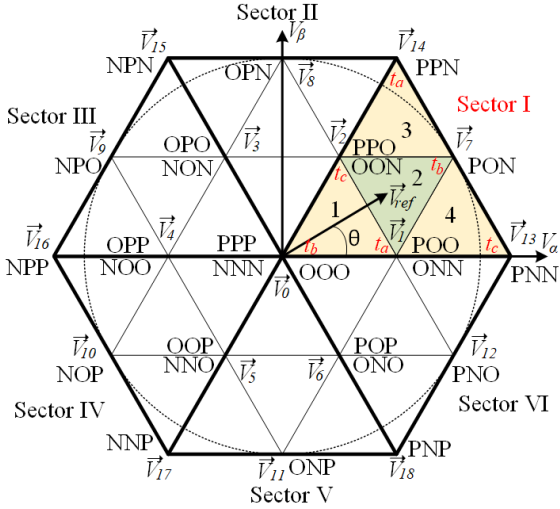
Hình 2.1. Cấu hình 3L-qSBT²I.



Hình 2.2. Các chế độ hoạt động của 3L-qSBT²I (a) NST 1, (b) NST 2, (c) NST 3, (d) NST 4, (e) UST, (f) LST.

Tương tự như các cấu hình nghịch lưu một chặng khác, cấu hình 3L-qSBT²I hoạt động ở hai chế độ chính là chế độ ngắn mạch (ST) và chế độ không ngắn mạch (NST), được mô tả trong hình 2.2. Tuy nhiên, trong chế độ ST, hai trạng thái ngắn mạch nửa trên (UST) và ngắn mạch nửa dưới sẽ được sử dụng thay cho trạng thái ngắn mạch toàn phần (FST) để tăng cường điện áp DC-link, hình 2.2(e) và 2.2(f). Hai trạng thái này sẽ được chèn vào các vector nhỏ dạng N và P nhằm không làm ảnh hưởng đến điện áp ngõ ra của mạch nghịch lưu.

2.2 Giải thuật điều chế vector không gian đề xuất



Hình 2.3. Giản đồ vector không gian cho giải thuật đề xuất.

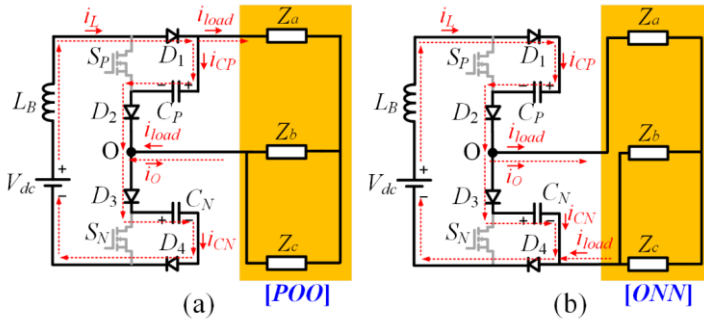
2.2.1 Tính toán thời gian tác dụng

Bảng 2.1. Thời gian của các vector thành phần của sector I.

Vùng	t_a	t_b	t_c
1	$2MT_s \sin(\pi/3 - \Theta)$	$T_s - 2MT_s \sin(\pi/3 + \Theta)$	$2MT_s \sin(\Theta)$
2	$T_s - 2MT_s \sin(\Theta)$	$2MT_s \sin(\pi/3 + \Theta) - T_s$	$T_s - 2MT_s \sin(\pi/3 - \Theta)$
3	$2MT_s \sin(\Theta) - T_s$	$2MT_s \sin(\pi/3 - \Theta)$	$2T_s - 2MT_s \sin(\pi/3 + \Theta)$
4	$2T_s - 2MT_s \sin(\pi/3 + \Theta)$	$2MT_s \sin(\Theta)$	$2MT_s \sin(\pi/3 - \Theta) - T_s$

Bảng 2.1 liệt kê thời gian tác dụng của 4 vùng thuộc sector I. Các sector khác cũng có thể áp dụng phương pháp tương tự để tính toán thời gian tác dụng.

2.2.2 Lựa chọn chuỗi xung để cân bằng điện áp trung tính



Hình 2.4. Ảnh hưởng của vector nhỏ dạng P và N lên điện áp trên các tụ điện (a) vector nhỏ dạng P [POO], (b) vector nhỏ dạng N [ONN].

Như được biểu diễn trong hình 2.4, mỗi vector nhỏ đều tồn tại hai biến thể là vector nhỏ dạng P và vector nhỏ dạng N. Hai biến thể này tạo ra cùng một giá trị điện áp dây ngõ ra. Do đó, việc thay thế các biến thể này cho nhau không làm ảnh hưởng đến điện áp ngõ ra. Tuy nhiên, mỗi biến thể lại tồn tại các ảnh hưởng lên điện áp trung tính khác nhau. Cụ thể được mô tả như sau:

Đối với vector [POO], hình 2.4(a), có thể thấy rằng dòng điện chạy qua tụ C_P có giá trị nhỏ hơn dòng chạy qua tụ C_N . Do đó, điện áp trên tụ C_P sẽ có xu hướng tăng chậm hơn điện áp trên tụ C_N , giả sử rằng hai tụ điện có cùng điện dung. Tương tự, khi vector [ONN] được sử dụng như hình 2.4(b), điện áp trên tụ C_P có xu hướng tăng nhanh hơn điện áp trên tụ C_N .

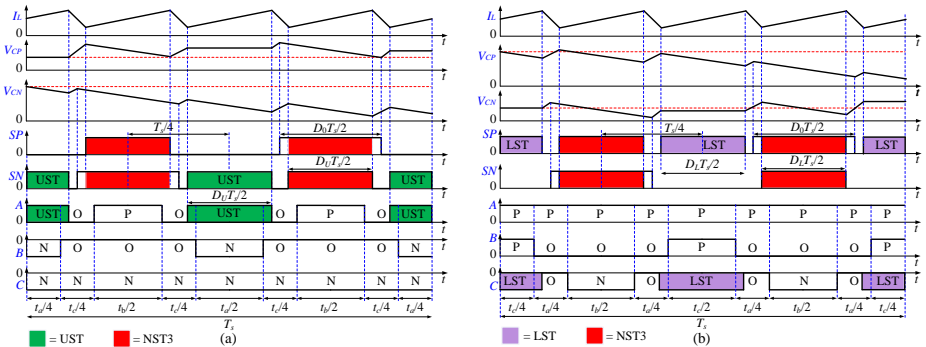
Dựa trên các phân tích trên, việc cân bằng điện áp trung tính có thể được chia thành hai trường hợp như sau: 1) điện áp tụ C_P lớn hơn điện áp tụ C_N , 2) điện áp tụ C_N lớn hơn điện áp tụ C_P .

Đối với trường hợp 1, $V_{CP} > V_{CN}$, các vector nhỏ dạng P sẽ được sử dụng thay cho các vector nhỏ dạng N nhằm tăng cường điện áp tụ C_N và giảm điện áp tụ C_P . Khi này, chuỗi xung của bộ nghịch lưu cho vùng 2 của sector I được xác

định như sau: [PPO]-[POO]-[PON]-[POO]-[PPO] và lặp lại.

Đối với trường hợp 2, $V_{CP} < V_{CN}$, các vector nhỏ dạng N sẽ được sử dụng thay cho các vector nhỏ dạng P nhằm tăng cường điện áp tụ C_P và giảm điện áp tụ C_N . Khi này, chuỗi xung của bộ nghịch lưu cho vùng 2 của sector I được xác định như sau: [ONN]-[OON]-[PON]-[OON]-[ONN] và lặp lại.

Nhằm đảm bảo đặc tính tăng giảm áp của bộ nghịch lưu, các trạng thái UST và LST được chèn vào chuỗi xung đã nêu trên, được biểu diễn như hình 2.5.



Hình 2.5. Chuỗi xung được đề xuất cho vùng 2 sector I, UST, LST và xung

kích cho khóa S_P , S_N của mạng nguồn kháng.

2.2.3 Phân tích trạng thái xác lập

Giá trị đỉnh của điện áp pha ngõ ra được xác định như sau:

$$V_{x,peak} = \frac{2}{\sqrt{3}} MV_C = \frac{2}{\sqrt{3}} \cdot \frac{M \cdot V_{dc}}{2 - 3D_{ST} - D_0} \quad (2.1)$$

Mối quan hệ giữa D_{ST} và M được xác định như sau:

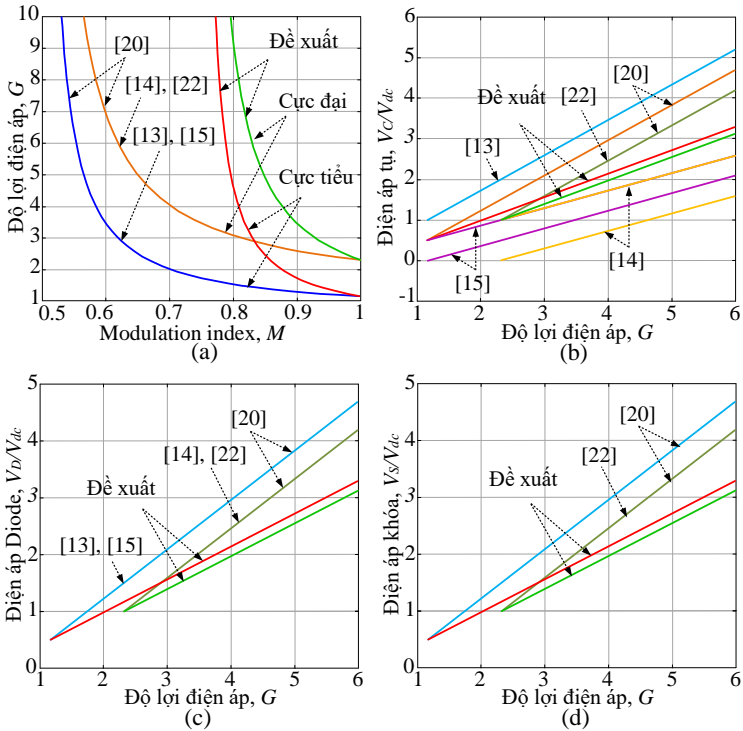
$$D_{ST} = 2 \times (1 - M) \quad (2.2)$$

Mối quan hệ giữa hệ số D_0 và hệ số ngắn mạch D_{ST} được biểu diễn như sau:

$$D_{ST} \leq D_0 \leq 1 - D_{ST} \quad (2.3)$$

2.3 So sánh giải thuật đề xuất và các nghiên cứu đã công bố.

Giải thuật được đề xuất giúp cải thiện độ lợi điện áp và giảm điện áp đặt trên các linh kiện.

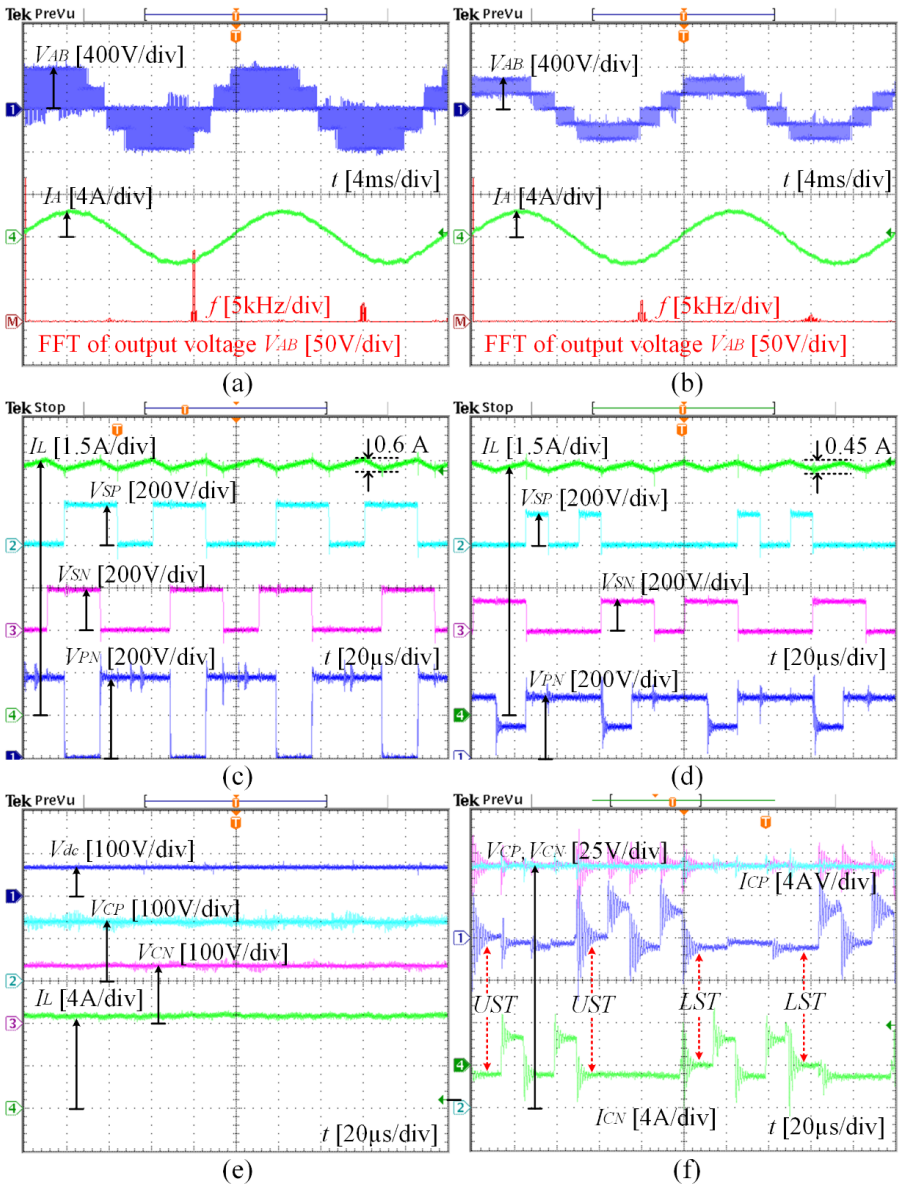


Hình 2.7. (a) M và G , (b) G và điện áp của tụ điện, (c) G và điện áp rơi trên diode, (d) G và điện áp rơi trên khóa phía mạng nguồn kháng.

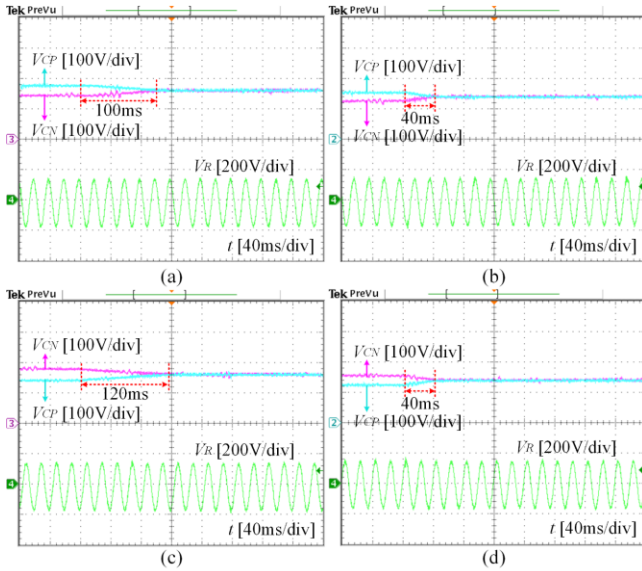
2.4 Thực nghiệm với giải thuật SVM đề xuất

Bảng 2.2 Thông số thực nghiệm

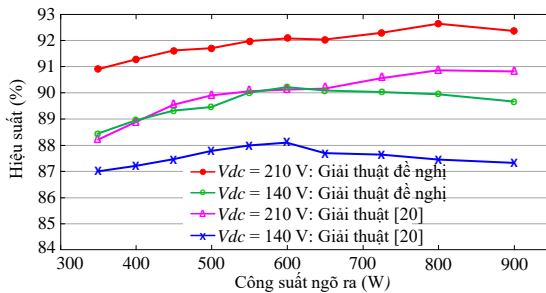
Thành phần/thông số		Giá trị
Điện áp DC ngõ vào	V_{dc}	70 V – 210 V
Điện áp RMS ngõ ra	$V_{x,RMS}$	110
Tần số nghịch lưu	f_0	50 Hz
Tần số chuyển mạch	f_s	10 kHz
Cuộn cảm ngõ vào	L_B	3 mH/20 A
Tụ điện	C_P và C_N	1 mF/400 V
Bộ lọc LC	L_f và C_f	3 mH và 10 μ F
Tải R	R	56 Ω



Hình 2.8. Kết quả thực nghiệm của 3L-qSBI với giải thuật đề xuất và [20] khi $V_{dc} = 70$ V: (a), (c) phương pháp [20], (b), (d), (e), (f) phương pháp đề nghị.



Hình 2.9. Kết quả thực nghiệm với giải thuật cân bằng điện áp tụ khi (a), (b) $V_{CP} > V_{CN}$, (c), (d) $V_{CP} < V_{CN}$, trong đó: (a), (c) phương pháp [20], (b), (d) phương pháp đề xuất.



Hình 2.10. So sánh hiệu suất giữa giải thuật đề xuất và giải thuật [20].

Bảng 2.3. So sánh giữa giải thuật đề xuất và nghiên cứu [20]

	$V_{dc} = 210$ V		$V_{dc} = 70$ V	
	[20]	Đề xuất	[20]	Đề xuất
Điện áp tụ C_P	161 V	144 V	188 V	146 V
Điện áp tụ C_N	159 V	143 V	185 V	144 V
THD của V_{AB}	65.9 %	47.8 %	94.6 %	51.4 %
THD của I_A	2.55 %	1.76 %	2.87 %	1.88 %

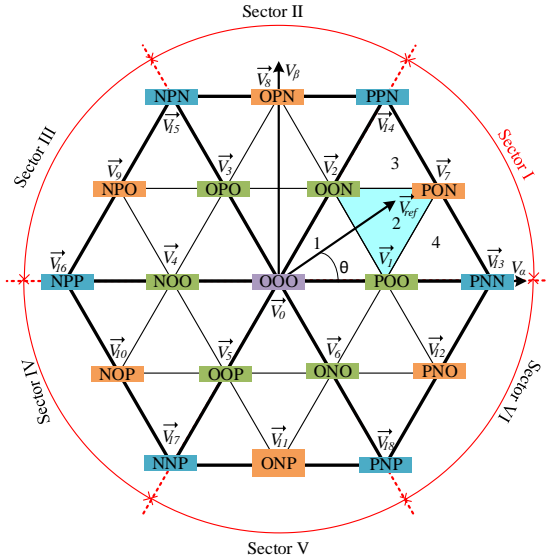
Chương 3:

GIẢI THUẬT ĐỀ XUẤT CHO CẤU HÌNH 3L-qSBT²I NHẪM GIẢM ĐIỆN ÁP COMMON-MODE

3.1. Giải thuật giảm CMV đề xuất cho cấu hình 3L-qSBT²I

Bảng 3.1 CMV của mạch 3L-qSBT²I

Vector		CMV		CMV		CMV
Không	[OOO]	0	[PPP]	$+V_{PN}/2$	[NNN]	$-V_{PN}/2$
Vector nhỏ dạng P	[POO]	$+V_{PN}/6$	[PPO]	$+V_{PN}/3$	[OPO]	$+V_{PN}/6$
	[OPP]	$+V_{PN}/3$	[OOP]	$+V_{PN}/6$	[POP]	$V_{PN}/3$
Vector nhỏ dạng N	[ONN]	$-V_{PN}/3$	[OON]	$-V_{PN}/6$	[NON]	$-V_{PN}/3$
	[NOO]	$-V_{PN}/6$	[NNO]	$-V_{PN}/3$	[ONO]	$-V_{PN}/6$
Medium	[PON]	0	[OPN]	0	[NPO]	0
	[NOP]	0	[ONP]	0	[PNO]	0
Large	[PNN]	$-V_{PN}/6$	[PPN]	$+V_{PN}/6$	[NPN]	$-V_{PN}/6$
	[NPP]	$+V_{PN}/6$	[NNP]	$-V_{PN}/6$	[PNP]	$+V_{PN}/6$

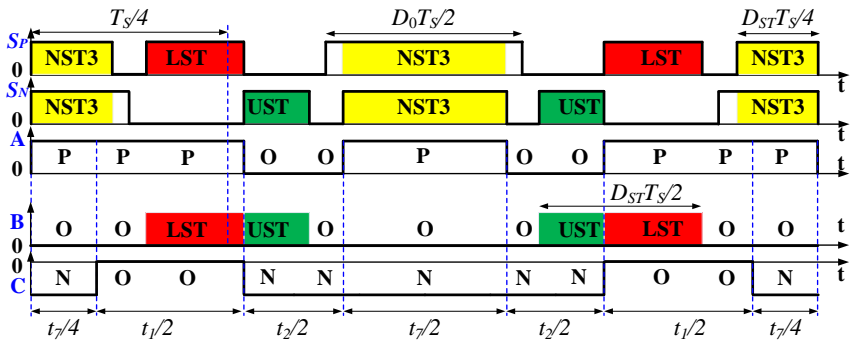


Hình 3.1. Giảm đồ vector không gian cải tiến.

Trong nghiên cứu trước đó được trình bày ở chương 2, tất cả 12 vector nhỏ được dùng để tổng hợp vector điện áp tham chiếu. Do đó, CMV dao động trong khoảng $+V_{PN}/3$ đến $-V_{PN}/3$. Trong giải thuật SVM cải tiến này [37], tất cả các vector nhỏ tạo ra giá trị $\pm V_{PN}/6$ tại CMV, vector không [000], vector trung bình và các vector lớn được sử dụng để tổng hợp vector tham chiếu nhằm làm giảm biên độ của CMV.

3.1.1. Tính toán thời gian tác dụng và lựa chọn thứ tự chuyển mạch.

Trong phần này, vùng 2 của sector I được lựa chọn để phân tích hoạt động của giải thuật đề xuất. Thời gian tác dụng của các vector thành phần được tính toán như trong chương 2. Phương pháp SVM đề xuất chuỗi xung chuyển mạch là: [PON]-[POO]-[OON]-[PON] và lặp lại, như biểu diễn ở hình 3.2.



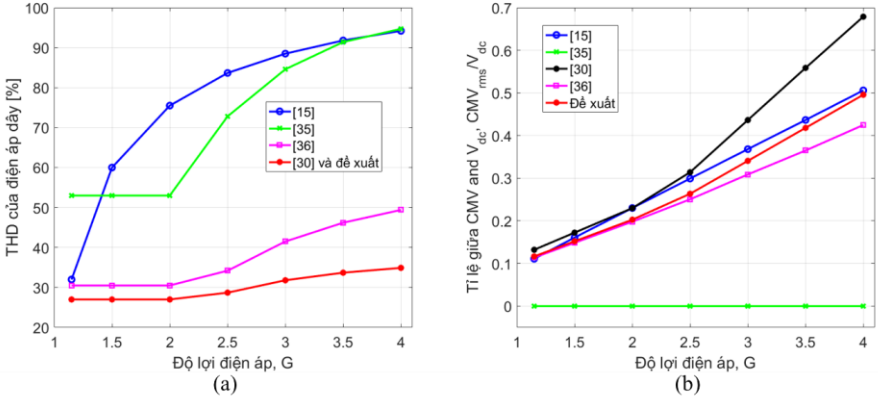
Hình 3.2. Chuỗi xung cho vùng 2 của sector I.

3.1.2. Cân bằng điện áp trung tính.

Nhằm cân bằng điện áp trên hai tụ điện, thời gian tác dụng của chế độ NST 1 và NST 2 được định nghĩa lại như sau: $(D_1 - D_{ST})T_s/2$ và $(D_2 - D_{ST})T_s/2$, trong đó, D_1 và D_2 được định nghĩa là hệ số công tác tăng thêm của hai khóa S_P và S_N . Một cách đơn giản, hệ số D_1 và D_2 có thể được tính toán như sau:

$$\begin{cases} D_1 = D_0 / 2 + k(V_{CP} - V_{CN}) \\ D_2 = D_0 / 2 - k(V_{CP} - V_{CN}) \end{cases} \quad (3.1)$$

3.2. So sánh giữa giải thuật đề xuất và các giải thuật trước đó



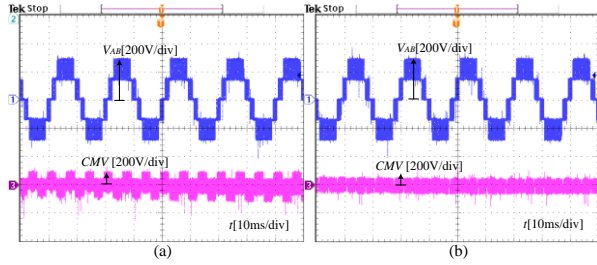
Hình 3.3. So sánh giữa giải thuật đề xuất và các công bố trước đó.

Nhìn chung, đóng góp chính của nghiên cứu này là việc làm giảm biên độ của CMV mà vẫn duy trì được các ưu điểm đã trình bày của giải thuật trước đó như độ lợi điện áp và chất lượng điện áp ngõ ra cao.

3.3. Kết quả thực nghiệm

Bảng 3.2 Thông số mô phỏng và thực nghiệm

Thành phần		Values
Điện áp ngõ vào	V_{dc}	100 V ÷ 200 V
Điện áp ngõ ra	$V_{o,RMS}$	110 V _{RMS}
Tần số ngõ ra	f_o	50 Hz
Tần số chuyển mạch	f_s	5 kHz
Hệ số ngắt mạch	D_{ST}	0.16
Hệ số tăng thêm	D_0	0.16 ÷ 0.84
Chỉ số điều chế	M	0.92
Cuộn cảm	L_B	3 mH/20 A
Tụ điện	$C_P = C_N$	2000 μ F/400 V
Mạch lọc LC	L_f và C_f	3 mH và 10 μ F
Tải điện trở	R	40 Ω

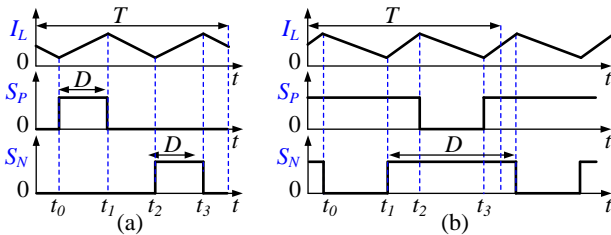


Hình 3.4 Kết quả thực nghiệm CMV của giải thuật đề xuất và [30]. (a) giải thuật [30], (b) giải thuật đề xuất.

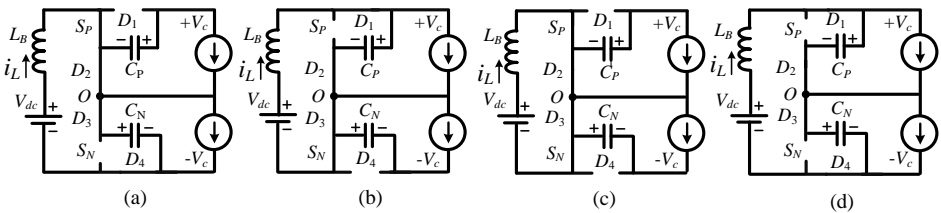
Chương 4:

GIẢI THUẬT ĐỀ XUẤT CHO CẤU HÌNH TLB-T²I NHẪM KHẮC PHỤC SỰ CỐ TẠI CÁC KHÓA CÔNG SUẤT

4.1. Cấu hình TLB-T²I trong trạng thái bình thường.



Hình 4.1. Xung kích của S_P và S_N .



Hình 4.2 Các chế độ hoạt động của TLB-T²I: (a) chế độ 1, (b) chế độ 2, (c) chế độ 3, (d) chế độ 4.

Điện áp DC-link, V_{PN} , được tính toán như sau:

$$V_{PN} = V_{CP} + V_{CN} = \frac{V_{dc}}{1-D} \quad (4.1)$$

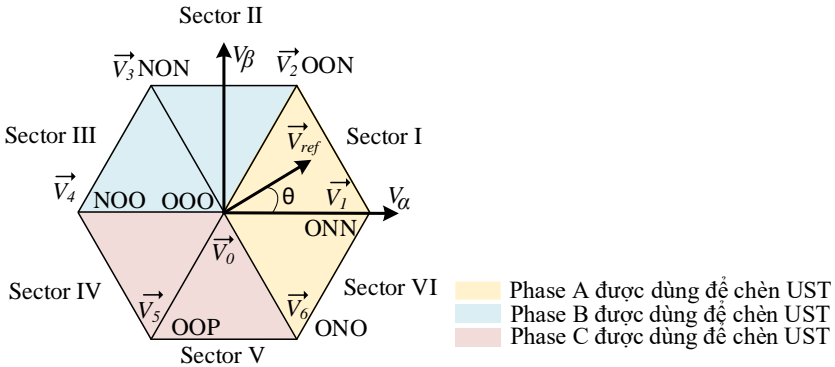
Độ lợi điện áp của bộ nghịch lưu được tính toán như sau:

$$G = \frac{V_{x,peak}}{V_{dc} / 2} = \frac{2}{\sqrt{3}} \times \frac{M}{1-D} \quad (4.2)$$

4.2. Phương pháp xử lý lỗi cho cấu hình TLB-T²I.

Trong phần này, một lỗi hở mạch tại một khóa bán dẫn được xem xét để xử lý. Những sự cố có thể xảy ra được chia thành ba loại chính: 1) lỗi hở mạch xảy ra tại khóa S_P phía mạng TLB, 2) lỗi hở mạch xảy ra tại khóa S_{1A} phía mạch 3L-T²I, 3) lỗi hở mạch xảy ra tại khóa S_{2A} và S_{3A} phía mạch 3L-T²I.

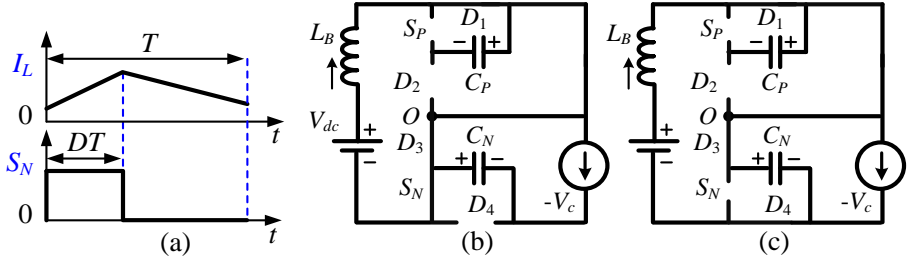
4.2.1. Phương pháp xử lý lỗi hở mạch cho khóa S_P.



Hình 4.3. Giản đồ vector không gian để sửa lỗi khóa S_P hở mạch.

Để sửa được lỗi hở mạch tại khóa S_P, phương pháp đề xuất điều khiển bộ nghịch lưu hoạt động tương tự như bộ nghịch lưu hai chạng hai bậc truyền thống. Trong phương pháp đề xuất, ngõ ra của bộ nghịch lưu V_{XO} (X = A, B, C) đạt được hai giá trị là 0-V và -V_{CN} trong suốt quá trình hoạt động. Hai giá trị này được đại diện bởi hai trạng thái [O] và [N] trên giản đồ vector không gian. Giá trị 0-V tại ngõ ra đạt được bằng cách kích đóng đồng thời hai khóa bán dẫn S_{2X} và S_{3X}. Khi hai khóa S_{3X} và khóa S_{4X} được kích đóng một cách đồng thời, điện áp -V_{CN} được tạo ra tại ngõ ra V_{XO} của bộ nghịch lưu. Có thể thấy rằng, khóa S_{3X} luôn được kích đóng khi giải thuật đề xuất được sử dụng. Tổ hợp các trạng thái điện áp ngõ ra của giải thuật đề xuất được biểu diễn như hình 4.3.

Trong giải thuật này, trạng thái [NNN] (tạo ra bằng cách kích đồng thời khóa S_{4A} , S_{4B} , S_{4C}) không được sử dụng.



Hình 4.4. (a) Tín hiệu điều khiển của khóa S_N , (b) chế độ 1, (c) chế độ 2.

Hoạt động tăng áp được đảm bảo bằng cách điều khiển hệ số công tác của khóa bán dẫn S_N . Tín hiệu điều khiển của S_N được mô tả như hình 4.4(a).

Điện áp ngõ ra trong trường hợp này được xác định như sau:

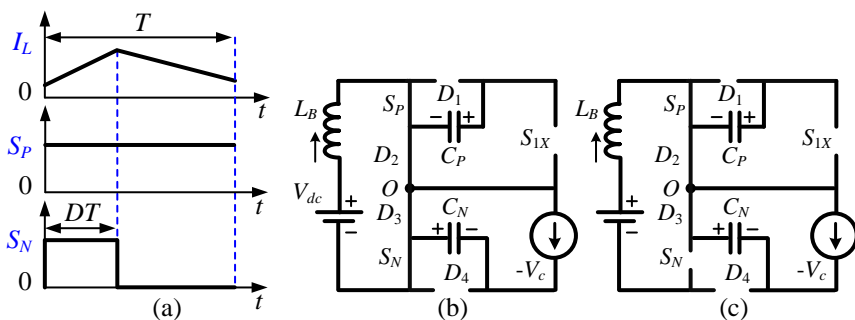
$$V_{x,peak} = \frac{2}{\sqrt{3}} \times M \times \frac{V_{CN}}{2} = \frac{1}{\sqrt{3}} \times M \times \frac{V_{dc}}{1-D} \tag{4.3}$$

Độ lợi điện áp của mạch nghịch lưu được tính toán như sau:

$$G = \frac{V_{x,peak}}{V_{dc} / 2} = \frac{2}{\sqrt{3}} \times \frac{M}{1-D} \tag{4.4}$$

4.2.2. Phương pháp xử lý lỗi hở mạch cho khóa S_{1A} .

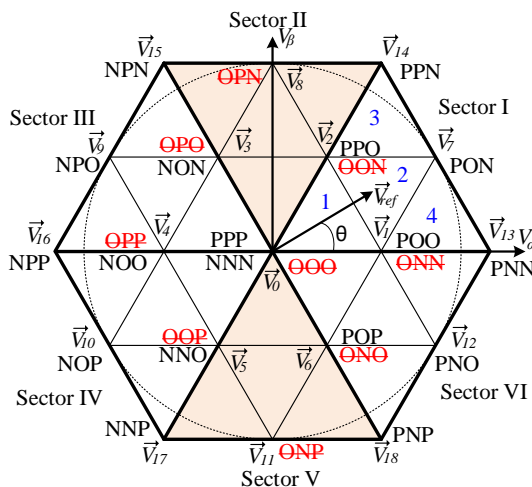
Tương tự như lỗi hở mạch tại khóa S_P , lỗi hở mạch tại khóa S_{1A} cũng được xử lý bằng cách điều khiển mạch nghịch lưu hoạt động ở chế độ hai bậc hai chặng. Các chế độ hoạt động của TLB-T²I và tín hiệu điều khiển hai khóa bán dẫn phía nghịch lưu được trình bày như hình 4.5. Trong trường hợp này, giải thuật điều khiển kích đồng khóa S_P và kích ngắt tín hiệu điều khiển của các khóa S_{1A} , S_{1B} và S_{1C} phía nghịch lưu. Điều này dẫn đến việc cách ly tụ điện C_P khỏi mạch công suất. Diode D_1 phân cực ngược trong khi diode D_2 phân cực thuận. Hai chế độ hoạt động chính của mạch nghịch lưu được xác định thông qua trạng thái đóng ngắt của khóa S_N .



Hình 4.5. (a) Tín hiệu điều khiển của khóa S_P , S_N , (b) chế độ 1, (c) chế độ 2.

Giải thuật đề xuất điều khiển mạch 3L-T²I hoạt động như một mạch nghịch lưu hai bậc truyền thống bằng cách kích ngắt tín hiệu điều khiển của ba khóa S_{1A} , S_{1B} , S_{1C} . Tổ hợp các trạng thái điện áp ngõ ra của giải thuật đề xuất tương tự như lỗi tại S_P . Tuy nhiên vector [NNN] vẫn được sử dụng trong trường hợp này.

4.2.3. Phương pháp xử lý lỗi hở mạch cho khóa S_{2A} và S_{3A} .

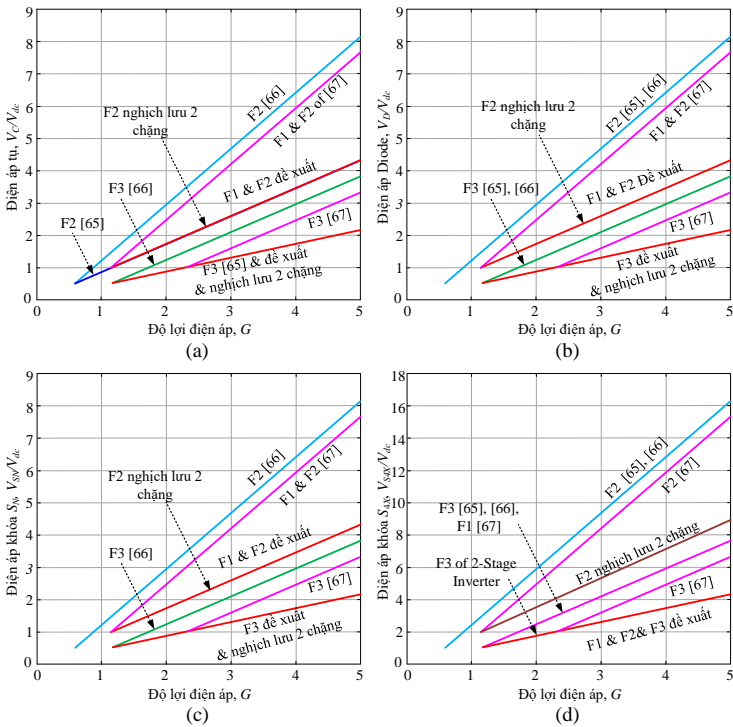


Hình 4.6. Giản đồ vector không gian cho giải thuật sửa lỗi khóa S_{2A} và S_{3A} .

Để xử lý sự cố này, giải thuật vector không gian cải tiến được sử dụng. Giản đồ vector không gian cho sự cố này được biểu diễn như hình 4.9. Có thể thấy rằng khi lỗi hở mạch xảy ra tại S_{2A} và S_{3A} các vector không [OOO], vector nhỏ [ONN], [OON], [OPO], [OPP], [OOP], [ONO] và hai vector trung bình [OPN]

và [ONP] không thể đạt được tại ngõ ra của bộ nghịch lưu. Khác với các vector trung bình, các vector nhỏ và vector không luôn có các vector dự phòng. Do đó, hoạt động của mạch nghịch lưu trong các sector I, III, IV, VI có thể được đảm bảo tương tự như trong trạng thái bình thường nhờ sự trợ giúp của các vector dự phòng. Vì vector trung bình [OPN] và [ONP] không có các vector dự phòng nên hoạt động của mạch nghịch lưu trong hai sector II và V không thể duy trì như trong trạng thái bình thường. Trong trường hợp này, giải thuật đề xuất điều khiển mạch nghịch lưu hoạt động như một mạch nghịch lưu 2 bậc bằng cách dùng các vector không và vector lớn để điều chế vector ngõ ra.

4.3. So sánh giữa giải thuật đề xuất và giải thuật truyền thống.



Hình 4.7. So sánh giữa giải thuật đề xuất và giải thuật truyền thống: (a) G và điện áp trên tụ điện, (b) G và điện áp trên diode, (c) G và điện áp trên khóa S_P/S_N , (d) G và điện áp trên khóa S_{4X} phía nghịch lưu.

Các khảo sát về điện áp đặt trên các linh kiện đối với những giải thuật xử lý sự cố tại khóa bán dẫn khác nhau được trình bày như hình 4.7. Trong các nghiên cứu này, phương pháp đề xuất và cấu hình nghịch lưu 2 chạng truyền thống thể hiện sự vượt trội trong việc tạo ra điện áp đặt trên các linh kiện bán dẫn ít nhất vì có chỉ số điều chế cao hơn các nghiên cứu còn lại. Đặc biệt, đối với lỗi hở mạch xảy ra tại S_{1A} , phương pháp đề xuất có thể giảm điện áp đặt trên các khóa S_{1X}/S_{4X} xuống bằng $\frac{1}{2}$ so với cấu hình 2 chạng truyền thống, được thể hiện như hình 4.7(d).

4.4. Thực nghiệm với giải thuật đề xuất

Bảng 4.1 Thông số thực nghiệm

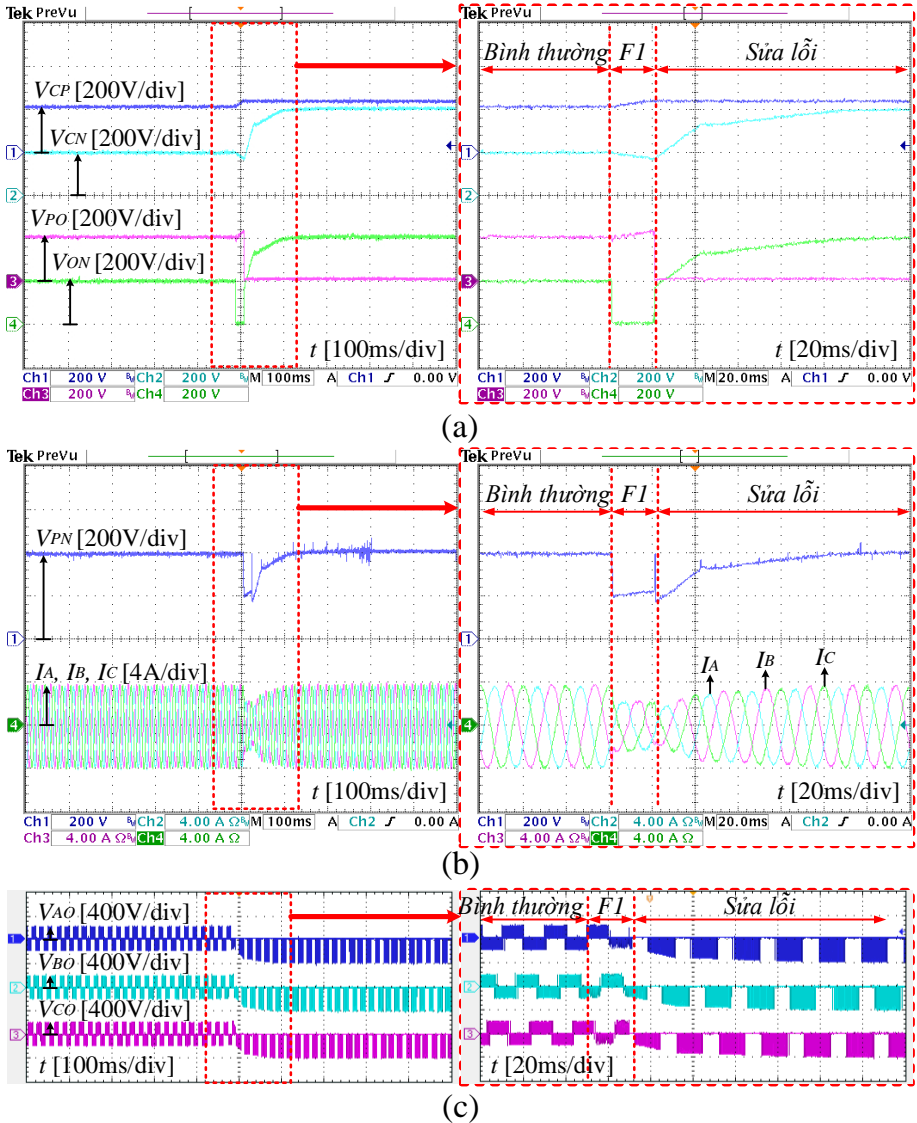
Thông số/ Linh kiện		Giá trị
Điện áp ngõ vào	V_{dc}	200 V
Điện áp ngõ ra	$V_{x,RMS}$	110 V _{RMS}
Tần số ngõ ra	f_0	50 Hz
Tần số chuyển mạch	f_s	10 kHz
Cuộn dây tăng áp	L_B	3 mH/20 A
Tụ điện	C_P and C_N	1 mF/400 V
Mạch lọc	L_f and C_f	3 mH and 10 μ F
Tải	R_X	40 Ω

Bảng 4.2. Điện áp trên tụ điện và THD điện áp dây ngõ ra

	Trạng thái bình thường	F1	F2	F3
Điện áp tụ C_P	200 V	200 V	0 V	200 V
Điện áp tụ C_N	200 V	400 V	400 V	200 V
THD của V_{AB}	49.4 %	96.3 %	99.8 %	66.7 %

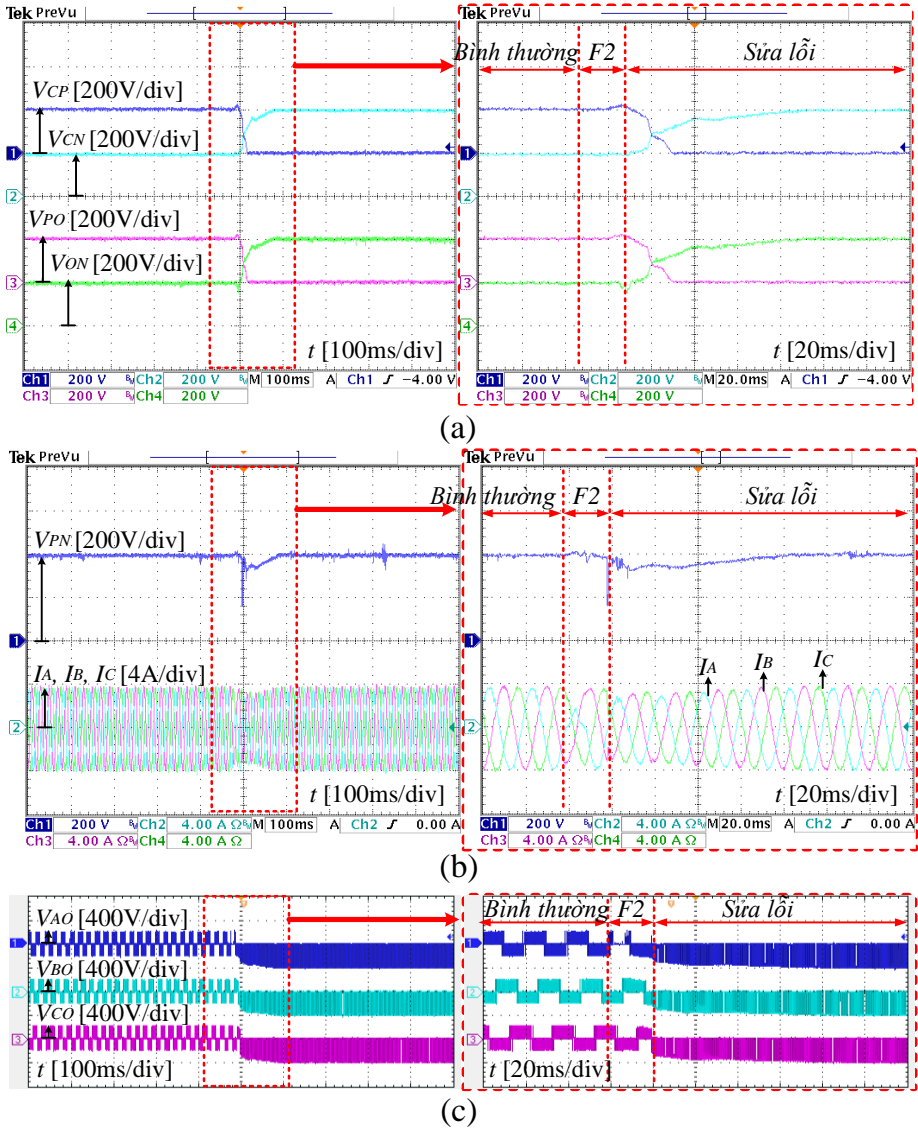
Ba phương pháp xử lý sự cố tại khóa S_P (F1), S_{1A} (F2), và khóa bán dẫn hai chiều S_{2A} và S_{3A} (F3) được kiểm chứng trong chương này. Lưu ý rằng, phương pháp chuẩn đoán lỗi sẽ không được đề cập vì các phương pháp này đã được giải quyết triệt để trong các nghiên cứu trước đó. Thông số hoạt động của mạch nghịch lưu được đề cập ở bảng 4.1. Thống kê điện áp tụ điện và giá trị THD của mạch trong các trường hợp được liệt kê như bảng 4.2.

4.4.1 Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa S_P



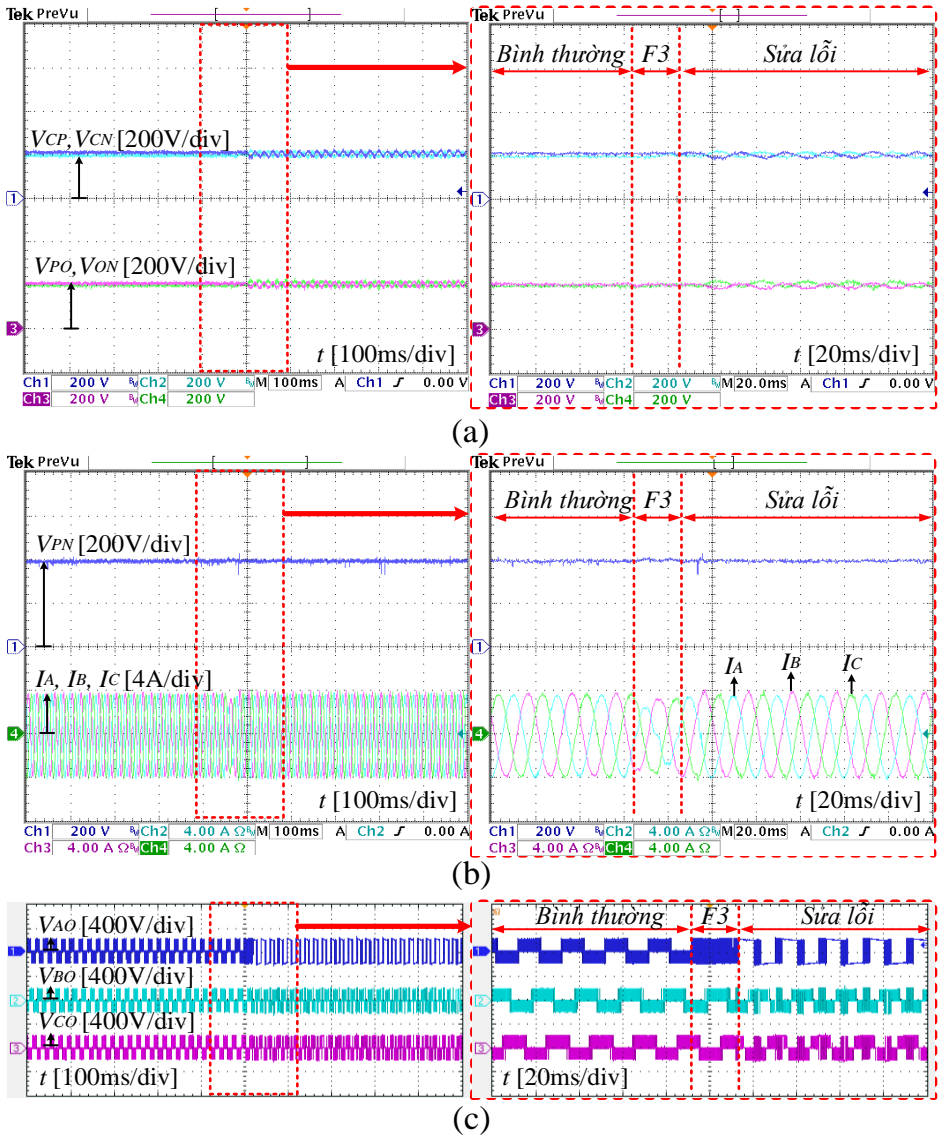
Hình 4.8. Kết quả thí nghiệm cho giải thuật sửa lỗi hở mạch S_P .

4.4.2 Kết quả đối với phương pháp xử lý sự cố hở mạch tại khóa S_{1A}



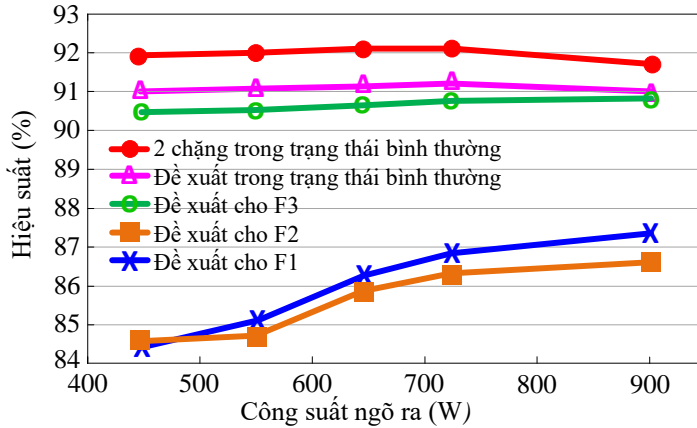
Hình 4.9. Kết quả thí nghiệm cho giải thuật sửa lỗi hở mạch S_{1A}.

4.4.3 Kết quả đối với phương pháp xử lý sự cố hồ mạch tại khóa S_{2A} và S_{3A}



Hình 4.10. Kết quả thí nghiệm cho giải thuật sửa lỗi hồ mạch S_{2A} và S_{3A} .

4.4.4 Hiệu suất của mạch nghịch lưu



Hình 4.11. Hiệu suất của mạch nghịch lưu.

Chương 5:

KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

5.1. Kết luận

Từ các kết quả đã đạt được của luận án, một số kết luận như sau được rút ra:

- Luận án đã trình bày được tính cấp thiết của việc sử dụng các bộ nghịch lưu đối với sự phát triển của xu hướng năng lượng hiện tại và tương lai.
- Luận án đã trình bày được ưu nhược điểm của các bộ nghịch lưu một chạng và giải thuật điều khiển trong trường hợp bình thường và sự cố xảy ra tại các khóa công suất đã công bố.
- Giải thuật điều chế vector không gian được trình bày cụ thể trong luận án nhằm tăng cường độ lợi điện áp và cân bằng điện áp trên các tụ điện (chương 2).
- Giải thuật điều chế vector không gian cải tiến được trình bày cụ thể trong luận án nhằm làm giảm biên độ hiệu dụng cũng như biên độ đỉnh-đỉnh của điện áp common-mode (chương 3).

- Giải thuật điều chế vector không gian cho trường hợp sự cố hở mạch và ngắn mạch xảy ra tại các khóa công suất và các tụ điện cũng được trình bày cụ thể trong luận án (chương 4).

Với các giải thuật đã trình bày, mạch nghịch lưu có thể cải thiện được hiệu suất, điện áp đặt trên các linh kiện, và kích thước hệ thống. Những ưu điểm này đã được kiểm chứng thông qua so sánh, mô phỏng và thực nghiệm trên mô hình thực tế.

5.2. Hạn chế và hướng phát triển của luận án

Bên cạnh các ưu điểm nêu trên, luận án vẫn còn tồn tại một số hạn chế như:

- Mô hình thực nghiệm được xây dựng để kiểm chứng giải thuật đề xuất, do đó, chưa được thiết kế tối ưu. Vì lý do an toàn, công suất thực nghiệm chỉ đạt khoảng 1kW. Việc nâng cao công suất thực nghiệm không được xem xét trong luận án này.

- Do các hạn chế về kinh phí nghiên cứu, các linh kiện bán dẫn hiện đại như silicon carbide (SiC) hoặc gallium nitride (GaN) chưa được đầu tư. Do đó, hiệu suất của toàn hệ thống nhìn chung còn thấp so với các sản phẩm thương mại hiện có trên thị trường. Ngoài ra, giải thuật được thực nghiệm trên tải thuần trở những là một trong những hạn chế của luận án.

Từ những hạn chế được liệt kê như trên, hướng phát triển trong tương lai của luận án có thể được liệt kê như sau:

- Mạch PCB với các linh kiện được lựa chọn tối ưu nhằm hướng tới sản phẩm thương mại sẽ được đầu tư phát triển trong tương lai.
- Các giải thuật được đề xuất sẽ được xem xét kiểm chứng với ứng dụng năng lượng mặt trời hòa lưới trong tương lai.